

## ⑫ 公開特許公報(A)

昭61-94090

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和61年(1986)5月12日

G 09 G 1/16  
// G 09 G 1/108121-5C  
8121-5C

審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 グラフィックディスプレイ装置

⑦ 特 願 昭59-216606

⑧ 出 願 昭59(1984)10月16日

⑨ 発 明 者 田 中 一 幸 門真市大字門真1006番地 松下電器産業株式会社内

⑩ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑪ 代 理 人 弁理士 中尾 敏男 外1名

2 ページ

## 明 細 書

## 1、発明の名称

グラフィックディスプレイ装置

## 2、特許請求の範囲

- (1) 表示すべき線の始点のX軸、Y軸座標値と終点までのX軸増加量 $\Delta X$ 、Y軸増加量 $\Delta Y$ が与えられることにより、DDA回路において上記始点と終点とを結ぶ線のX軸、Y軸座標値が逐次演算されて出力され、この画像データに基づき線が表示されるディスプレイ回路を設け、上記DDA回路から逐次出力されるX軸座標値およびY軸座標値の出力をアドレス変換用のROMに加え、上記X軸座標値およびY軸座標値を変換し、上記ROMの出力の値で画像メモリの位置をアドレスして上記線の画像データを導出するようにしたグラフィックディスプレイ装置。
- (2) 画像メモリを2の階乗でない個数で構成した特許請求の範囲第1項記載のグラフィックディスプレイ装置。
- (3) X軸カウンタに、画像メモリの個数を数える

カウンタと、2進カウンタを縦続に接続した

DDA回路を設けた特許請求の範囲第2項記載のグラフィックディスプレイ装置。

## 3、発明の詳細な説明

産業上の利用分野

本発明は、ICメモリで画像メモリを構成した場合のグラフィックディスプレイ装置に関するものである。

従来例の構成とその問題点

ラスタースキャン形のCRTグラフィックディスプレイ装置においては、CRT上に表示する画像を画像メモリに記憶し、ラスタースキャンCRTのスキヤンタイミングにしたがって連続して画像メモリの内容を読み出してCRT上に表示をするようにしている。この画像メモリの容量は、表示するグラフィックの分解能に比例している。例えば、1280×1024ドットの分解能のものであれば、1028Kビット〔K:1024〕の容量のメモリが必要になる。

一方、画像メモリ素子として、ICメモリを用

いる場合には、16Kビット、64Kビット、256Kビットの素子が多く用いられている。64Kビットのダイナミック型メモリを用いて1280×1024ドットのグラフィックの画像メモリを構成する場合であれば、64Kビットのメモリが20個以上も必要となる。

一方、DDA ( Digital Differencial Analyzer ) の演算によって画像データを画像メモリに記憶してCRT等に表示する装置においては、DDA回路のX軸とY軸のカウンタの出力により画像メモリに画像データを書き込む。一方、X軸とY軸のカウンタは2進タイプであるため、メモリの個数 $n$ としては2の階乗のものが用いられる。例えば、1280×1024ドットのグラフィックの場合であれば、メモリの個数 $n$ は32個として用いられる。一方、32個の64Kビットのメモリでは、2048×1024の画素を記憶できる容量であり、実際に表示に必要なメモリ以上に画像メモリが用いられてグラフィック表示装置が高価になってしまうといった問題がある。

#### 発明の目的

本発明は、このような従来の欠点を除去するものであり、画像メモリを必要最少限の個数を用いて構成でき、安価なグラフィック表示装置を提供することを目的とするものである。

#### 発明の構成

本発明においては、DDA回路からの画像データ出力がX軸およびY軸のカウンタに与えられる。このX軸とY軸のカウンタの出力と画像メモリのアドレス端子の間にアドレス変換をするROMを挿入することにより、画像メモリの個数を2の階乗でない個数で構成することができるものである。

さらに、DDA回路のX軸カウンタの下位ビットとして画像メモリの個数 $n$ を数えるカウンタを用い、上位ビットには2進カウンタを用い、またY軸カウンタの下位ビットにY軸の増加により表示アドレスの増加分を計数するカウンタを用い、上位ビットとして2進カウンタを用いたDDA回路を用いることにより、画像メモリの個数を2の階乗でない個数で構成することができるものである。

る。

#### 実施例の説明

以下、本発明の一実施例を図面を参照して説明する。第1図にアドレス変換回路を備えるグラフィックディスプレイ装置の構成例を示す。この装置は、ディスプレイプロセッサ1、DDA回路2、書き込み制御回路3、画像メモリ4、CRTモニタ回路5、およびアドレス変換ROM回路6等によって構成される。ディスプレイプロセッサ1は、ホストコンピュータ(図示省略)より与えられる表示命令を解釈して、直線や曲線の生成に必要なデータを作成する。DDA回路2は、プロセッサ1によって作られた直線や曲線の情報により、画像データを演算する回路である。このDDA回路2は、CRT画面のX軸、Y軸の座標に対応したX軸カウンタ7aおよびY軸カウンタ7bに画像データに対応した値を出力する。

DDA回路2の動作を説明すると、ディスプレイプロセッサ1より直線の始点( $X_1, Y_1$ )から終点( $X_1 + \Delta X, Y_1 + \Delta Y$ )までの直線を表示

する情報が加えられると、DDA回路2のX軸カウンタ7aに $X_1$ が、Y軸カウンタ7bに $Y_1$ が、Xレジスタ8aに $\Delta X$ が、Yレジスタ8bに $\Delta Y$ がそれぞれセットされる。次いで、DDA回路2に演算開始指令信号が与えられるとDDA回路2の演算が開始され、それによってX軸カウンタ7a、Y軸カウンタ7bがアップダウン信号a、bによりカウントアップあるいは、カウントダウンされて、X軸カウンタ7a、Y軸カウンタ7bの出力として前記始点( $X_1, Y_1$ )と終点( $X_1 + \Delta X, Y_1 + \Delta Y$ )を結ぶ直線の座標値が逐次出力される。

これらのX軸カウンタ7a、Y軸カウンタ7bの出力はアドレス変換ROM回路6のアドレス入力に与えられる。そのROM回路6の出力は書き込み制御回路3を介して、画像メモリ4に、ROM回路6の出力が示すアドレス位置で輝点あるいは暗点を表わす1ビットの情報が書き込まれる。

画像メモリ4は、第2図に示すように、CRT表示装置の画面位置に対応した画面アドレスをも

ち、画面アドレスの複数ビット $n$ を1つの集合と考える表示アドレスと、複数ビット $n$ の中のビット位置を示すビットアドレスにより画像メモリ4の中の1ビットがアドレス指定され、輝点あるいは、暗点を表わす1ビット情報が書き込まれる。

CRTモニタ回路5は表示アドレスをラスタースキャンCRTモニタのスキヤンタイミングに同期して順番に前記画面メモリ4に与え、与えた表示アドレスに対応した複数の画像データ( $n$ ビット)を並列に読み出し、これを並列直列変換して、ラスタースキャンCRTモニタビデオ信号として与えることにより、画像メモリ4の内容をCRTモニタ回路5に表示する。

書き込み制御回路3は、CRTモニタ回路5の表示のための読み出しと、DDA回路2の出力をアドレス変換ROM回路6を通して与えられる書き込み動作を同期させ、画面メモリ4を制御する。

さて、この回路の特徴であるアドレス変換ROM回路6について説明する。画像メモリ4が、1回の表示アドレス情報により読み書きできるビット

の数を $n$ とし、画面の位置を $X$ 軸と $Y$ 軸で指定しようとする、

$$\begin{cases} \text{表示アドレス} = Y \times X_{\text{offset}} + X / n \\ \text{ビットアドレス} = X_{\text{mod } n} \end{cases}$$

ここで、 $X_{\text{offset}}$ は、 $Y$ 軸方向が1増すごとにいくつ表示アドレスが変化するかという定数である。

本実施例では、 $1280 \times 1024$ ドットの画素メモリを2次的に配列したデジタルICメモリで画像メモリ4を構成する。又、ICメモリに、安価な64KビットのDRAM(Dynamic Random Access Memory)を用いるとすれば、64KビットのDRAMの個数 $n$ は20個必要であり、CRTモニタ回路5は画像メモリ4の1回の読み出して得られる複数の画像データの数 $n$ が8の倍数である方が並列直列変換器やタイミング回路等の構成のしやすさからみて都合が良いので、本実施例では、 $n=24$ を用いている。すると、表示アドレス及びビットアドレスは、

$$\begin{cases} \text{表示アドレス} = Y \times 64^* + X / 24 \\ \text{ビットアドレス} = X_{\text{mod } 24} \end{cases}$$

ここで、 $*$ は $X$ 方向の最大を1536とすると、 $Y$ 軸の $X_{\text{offset}}$ は、 $1536 / 24 = 64$ となる。また、 $X_{\text{mod } 24}$ は $X$ を24で割った余りの値を意味する。

上記表示アドレス及びビットアドレスの内容をあらかじめ計算し、それをアドレス変換ROM回路6のROMの中に書き込んでおく。

本実施例の場合、 $Y$ 軸と表示アドレスとの関係が、2の階乗となっているため、 $Y$ 軸の変換は単にビット位置の変更(6ビット上位へ)だけで可能となっているため、第3図のようなアドレス変換ROM回路で構成できる。同図のROM6a及びROM6dの内容は

$$X \text{ アドレス変換 ROM } (6 \div 2) = X / 24$$

$X$  ビット位置変換 ROM  $(6-1) = X_{\text{mod } 24}$  のデータがあらかじめ計算され、ROMに書き込まれている。

第2の実施例として、DDA回路2の $X$ 軸カウ

ンタ7a、 $Y$ 軸カウンタ7bを、第4図に示すように、画像メモリの個数 $n$ に対応した $n$ 進カウンタ7a'と、それより上位ビットのカウンタ7a''とにより、前記 $X$ 軸カウンタ7aを構成し、 $Y$ 軸の $X_{\text{offset}}$ を2の階乗になるように、CRTモニタ回路5の画像メモリ読み出しサイクルとすることで、 $Y$ 軸カウンタ7bで構成する。この構成での動作は、DDA回路2の演算により得られる $X$ 軸と $Y$ 軸のカウントアップ、ダウン信号a、bにより $X$ 軸カウンタ7a'、7a''及び、 $Y$ 軸カウンタ7bをアップ、ダウンさせる。この $X$ 軸と $Y$ 軸カウンタより得られる値は、表示アドレス及び、ビットアドレスを計算する式より考えると、

$$\begin{cases} \text{表示アドレス} = Y \times 64 + X / 24 \\ \text{ビットアドレス} = X_{\text{mod } 24} \end{cases}$$

となり、その第1項目の部分をカウンタ7a'が、第2項目の部分をカウンタ7a''が、それぞれ計算していることになる。

また、 $Y$ 軸カウンタ7bの出力は、6ビット上位へシフトさせて、7a''の出力を下位6ビットと

すれば、表示アドレスが得られる。又、7a' の出力はそのまま、ビットアドレスとして得られる。

この構成でも、前記画像メモリの個数  $n$  (1回の読み書きで、 $n$  ビットの画像データを扱える) が2の階乗でない場合でも画像メモリ4を構成できる。

#### 発明の効果

以上、実施例で示したごとく、アドレス変換ROM回路及び $n$ 進カウンタをX軸カウンタにもったDDA回路等により、画像メモリを2の階乗の個数以外の数で構成でき、画面表示分解能に合わせたメモリの個数で、安価に画像メモリを構成できる効果がある。第1、第2の実施例では、一般に32ケの64K DRAM が必要な所を24個の64K DRAM で、画像メモリを構成できている。

#### 4、図面の簡単な説明

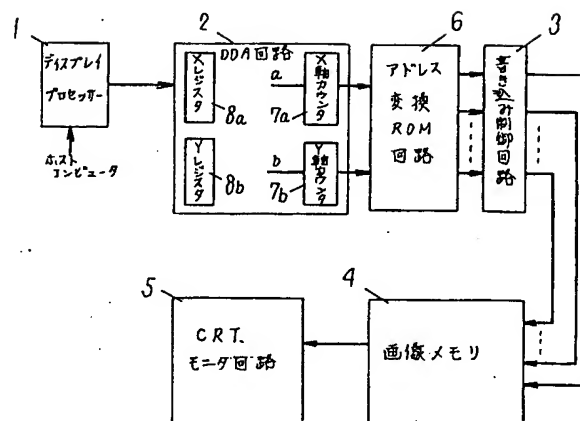
第1図は2の階乗以外の個数で構成した画像メモリをもつ本発明の一実施例のグラフィックディスプレイ装置のブロック図、第2図はその画面位

置と画面アドレスを示す模式図、第3図はそのアドレス変換ROM回路の回路図、第4図はそのDDA回路の回路図である。

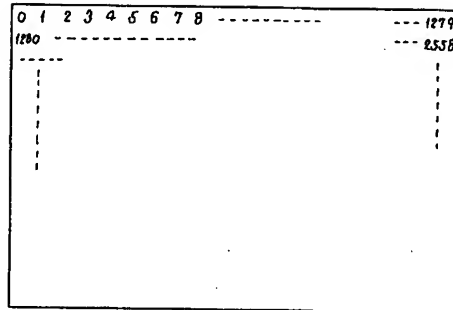
1……ディスプレイプロセッサ、2……DDA回路、3……書き込み制御回路、4……画像メモリ、5……CRTモニタ回路、6……アドレス変換ROM回路、7a, 7b……X軸とY軸のカウンタ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

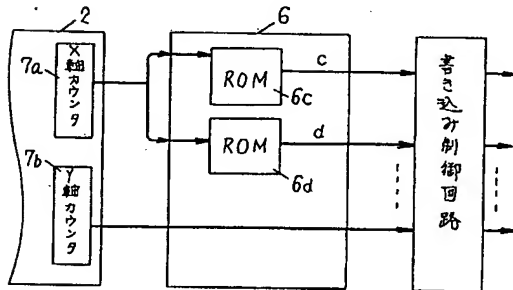
第 1 図



第 2 図



第 3 図



第 4 図

